

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-188471
(43)Date of publication of application : 21.07.1998

(51)Int.Cl. G11B 20/10
G11B 20/18
G11B 20/18

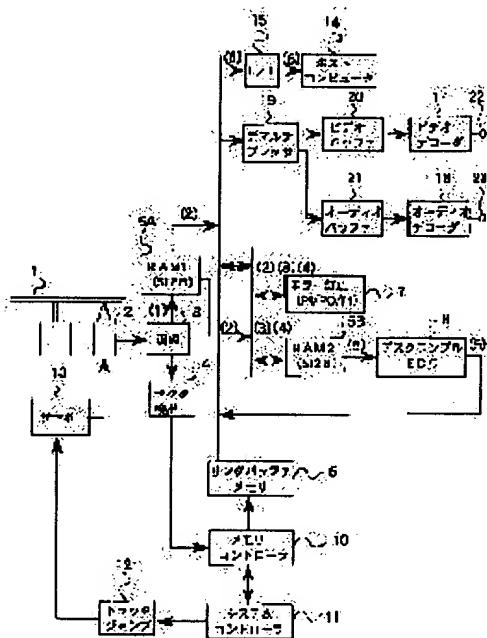
(21)Application number : 08-344240 (71)Applicant : SONY CORP
(22)Date of filing : 24.12.1996 (72)Inventor : ICHIKAWA TAKAHIRO

(54) DATA PRODUCING DEVICE AND DATA REPRODUCING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data reproducing device and data reproducing method capable of shortening the time from read-out of a disk to output of decoded data without increasing the circuit scale and the speed of clock.

SOLUTION: Reproduced data reproduced by reproducing means 2, 3, 13 are sent to an error correcting circuit 7 and a ring buffer memory 6 from a recording medium 1 through a first buffer memory 5A accumulating data for one frame, reproduced data error-corrected by the error correcting circuit 7 is sent to a ring buffer memory 5B through a second buffer memory 5B accumulating data for one frame, and reproduced data error-corrected by the error correcting circuit 7 is outputted with a variable rate thorough a ring buffer memory 6. The device is controlled by controllers 10, 11 controlling operation of a reproducing means 13 and the ring buffer memory 6.



LEGAL STATUS

[Date of request for examination] 18.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3564910

[Date of registration]

[Number of appeal against examiner's decision of

[Date of requesting appeal against examiner's decision]

[Details of application for leave to appeal against examiner's decision of rejection]

[Date of extinction or right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-188471

(43)公開日 平成10年(1998)7月21日

(51)Int.Cl.*

G 1 1 B 20/10

20/18

5 4 4
5 7 0

識別記号

F I

G 1 1 B 20/10

20/18

A
5 4 4 Z
5 7 0 K

審査請求 未請求 請求項の数3 OL (全 19 頁)

(21)出願番号

特願平8-344240

(22)出願日

平成8年(1996)12月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 市川 高廣

東京都品川区北品川6丁目7番35号 ソニー株式会社内

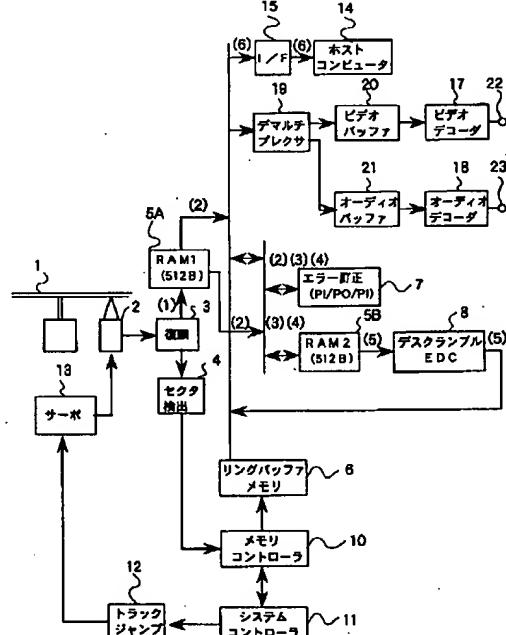
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 データ再生装置及びデータ再生方法

(57)【要約】

【課題】 回路規模を増大させたり、クロックの速度を速めることなく、ディスクの読み出しから復号データの出力までの時間を短縮できるようにしたデータ再生装置及びデータ再生方法を提供する。

【解決手段】 記録媒体1から再生手段2, 3, 13により再生された再生データを1フレーム分蓄積する第1のバッファメモリ5Aを介してエラー訂正回路7とリングバッファメモリ6に送り、上記エラー訂正回路7によりエラー訂正された再生データを1フレーム分蓄積する第2のバッファメモリ5Bを介して上記リングバッファメモリ6に送り、上記エラー訂正回路7によりエラー訂正された再生データを上記リングバッファメモリ6を介して可変レートで出力する。上記再生手段13及びリングバッファメモリ6の動作を制御するコントローラ10, 11で制御する。



【特許請求の範囲】

【請求項 1】 記録媒体からデジタルデータを再生する再生手段と、上記再生手段により再生されたデータにエラー訂正処理を施すエラー訂正手段と、上記エラー訂正手段によりエラー訂正された再生データを可変レートで出力する可変レート制御用のリングバッファメモリと、上記再生手段から供給される再生データを少なくとも1フレーム分蓄積して上記エラー訂正手段とリングバッファメモリに送る第1のバッファメモリと、上記エラー訂正手段によりエラー訂正された再生データを少なくとも1フレーム分蓄積して上記リングバッファメモリに送る第2のバッファメモリと、上記再生手段及びリングバッファメモリの動作を制御する制御手段とを備え、上記第1のバッファメモリに1フレーム分のデータが蓄積されたら、第1のバッファメモリから1フレーム分のデータをエラー訂正手段に送るとともにリングバッファメモリに書き込み、リングバッファメモリに書き込まれたデータに対してエラー訂正手段により第1の系列のエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリに書き込み、上記第1の系列のエラー訂正が終わると、リングバッファメモリから第2の系列のデータを読み出して第2のバッファメモリに書き込むとともに、第2のバッファメモリから第2の系列のデータをエラー訂正手段に送り、リングバッファメモリに書き込まれたデータに対してエラー訂正手段により第2の系列のエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリに書き込み、上記P Iエラー訂正が終わると、リングバッファメモリからエラー訂正手段に第1の系列のデータをエラー訂正手段に送るとともに第2のバッファメモリに書き込み、第2のバッファメモリに書き込まれたデータに対してエラー訂正手段によりエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリに書き込み、出力要求に応じた転送速度でリングバッファメモリからエラー訂正済みのデータを出力することを特徴とするデータ再生装置。

【請求項 2】 上記第1及び第2のバッファメモリは、エラー訂正ブロックの2乃至3フレーム分の記憶容量をそれぞれ有することを特徴とすることを特徴とする請求項1記載のデータ再生装置。

【請求項 3】 復調された再生データを第1のバッファメモリに書き込む第1の行程と、第1のバッファメモリに1フレーム分のデータが蓄積されたら、第1のバッファメモリから1フレーム分のデータをエラー訂正手段に送るとともにリングバッファメモリに書き込み、リングバッファメモリに書き込まれたデータに対してエラー訂正手段により第1の系列のエラー訂正を行い、エラー訂正済みのデータをリングバッファ

メモリに書き込む第2の行程と、

上記第1の系列のエラー訂正が終わると、リングバッファメモリから第2の系列のデータを読み出して第2のバッファメモリに書き込むとともに、第2のバッファメモリから第2の系列のデータをエラー訂正手段に送り、リングバッファメモリに書き込まれたデータに対してエラー訂正手段により第2の系列のエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリに書き込む第3の行程と、

上記P Iエラー訂正が終わると、リングバッファメモリからエラー訂正手段に第1の系列のデータをエラー訂正手段に送るとともに第2のバッファメモリに書き込む第4の行程と、

第2のバッファメモリに書き込まれたデータに対してエラー訂正手段によりエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリに書き込む第5の行程と、

出力要求に応じた転送速度でリングバッファメモリからエラー訂正済みのデータを出力する第6の行程とを有することを特徴とするデータ再生方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】この発明は、例えば、DVD (Digital Video Disc) で可変レート再生を行うのに用いて好適なデータ再生装置及びデータ再生方法に関する。

【0 0 0 2】

【従来の技術】波長の短いレーザ光を使用するとともに開口数の大きい対物レンズを使用することにより大量のデータ記録を可能とした光ディスク (DVD) が開発されている。DVDには、例えばM P E G (Moving Picture Experts Group) 2の規格で圧縮されたデジタルビデオ信号を記録するのに用いられる。また、DVDは、大容量のデータを記録するデータ記録媒体としても期待されている。

【0 0 0 3】 DVDの記録データを再生する再生装置において、可変レート対応とされたものが提案されている。このような可変レート対応の再生装置では、リングバッファメモリが設けられている。リングバッファメモリは、基本的に、図16に示すように構成されている。

【0 0 0 4】 図16に示すように、リングバッファメモリは、終端アドレスまで進むと先頭アドレスに戻るようなアドレス構成とされている。すなわち、図16のように、アドレスが「0」から「11」の場合には、アドレス「0」、「1」、「2」、・・・と進められ、アドレス「11」に達すると、次にアドレス「0」に戻り、再び、「1」、「2」、・・・と進められていく。このようなリングバッファメモリは、具体的には、FIFOで構成されている。

【0 0 0 5】 書き込みポインタWPは、書き込みが終了

したアドレスを示すものである。ECC終了ポインタは、エラー訂正処理が完了したアドレスを示すものである。読み出しポインタRPは、読み出しが終了したアドレスを示すものである。図示の場合、書き込みポインタWPがアドレス「11」の位置にあるので、アドレス「11」のところまで、データが書き込まれている。ECC終了ポインタEPがアドレス「9」の位置にあるので、アドレス「9」のところまでエラー訂正処理が終了している。読み出しポインタRPがアドレス「2」の位置にあるので、アドレス「2」のところまで書き込みが終了している。したがって、アドレス「3」～「9」にエラー訂正処理が終了し、読み出し可能なデータが位置され、アドレス「0」～「2」に、既に読み出されて不要となったデータが位置され、アドレス「10」、「11」に新しく書かれたデータが位置される。

【0006】上述のリングバッファメモリでは、読み出しポインタRPがECC終了ポインタEPを追い越さないようにする必要がある。また、ECC終了ポインタEPが書き込みポインタWPを追い越さないようにする必要がある。なお、書き込みポインタWPが読み出しポインタRPに追いついたときには、復調データの書き込みが一時停止される（オーバーフロー制御）。

【0007】このようなリングバッファメモリが設けられ、可変レート対応とされたデータ再生装置の構成としては、図17～図19に示すようなものが考えられる。

【0008】図17において、復調回路101からは、光ディスクの再生信号の復調データが送出される。この復調データは、先ず、リングバッファメモリ102に蓄えられる（アクセスe）。リングバッファメモリ102に1ECCブロック分のデータが蓄えられたら、図18に示すように、リングバッファメモリ102に蓄えられたデータは、エラー訂正処理回路103に転送され、エラー訂正処理が行われる。エラー訂正処理は、先ず、PI系列の処理が行われ（アクセスf1）、PO系列の処理が行われ（アクセスf2）、再度のPI系列の処理が行われる（アクセスf3）。PI系列、PO系列、再度のPI系列のエラー訂正処理が終了したら、データの転送が可能になる。出力のリクエストに応じて、図19に示すように、エラー訂正処理の終了したデータがリングバッファメモリ102から読み出され、この読み出されたデータは、デスクランブル及びエラー検出回路104でデスクランブルされ、インターフェース106を介して、外部のホストコンピュータ105に転送される（アクセスg）。

【0009】

【発明が解決しようとする課題】可変レート対応のディスク再生装置において、ホストコンピュータとの間を例えばATAPIインターフェースで結び、ATAPIインターフェースの転送レート（16.6MB/s）でデータを転送することが考えられている。更に、ディスク

の読み出しを、通常の2倍速で読み出すことが考えられている。

【0010】ところが、上述の従来のデータ再生装置では、リングバッファメモリ102が可変レート制御と、エラー訂正符号化処理とに用いられているため、リングバッファメモリ102に対するアクセスが多く発生し、このような要求に応えることが困難である。

【0011】すなわち、上述の構成では、リングバッファメモリ102に対して、復調回路101のデータを書き込むためのアクセス（アクセスe）と、PI系列のエラー訂正処理のためのアクセス（アクセスf1）と、PO系列のエラー訂正処理のためのアクセス（アクセスf2）と、再度のPI系列のエラー訂正処理のためのアクセス（アクセスf3）と、出力のリクエストに応じてデータを出力するためのアクセス（アクセスg）が発生する。図20は、これらのアクセスのタイミングを示すものである。このように、リングバッファメモリ102に對して多数のアクセスが発生するため、ディスクの読み出しを2倍速にし、出力レートをATAPIインターフェースのレートに対応させることが困難である。

【0012】なお、リングバッファメモリのデータ幅を大きくしたり、動作クロックの周波数を上げることで、このような要求に応えることが考えられるが、バッファメモリのデータ幅を大きくしたり、動作クロックの周波数を上げると、回路規模の増大や、コストアップにつながる。

【0013】そこで、図21～図24に示すように、リングバッファメモリ112とは別に、エラー訂正処理用のメモリ113を設けることが考えられる。図21において、復調回路111からは、光ディスクの再生信号の復調データが送出される。1ECCブロック分の復調データは、先ず、エラー訂正処理用のメモリ113に蓄えられる（アクセスH）。そして、図22に示すように、エラー訂正回路114により、PI系列の処理が行われ（アクセスI1）、PO系列の処理が行われ（アクセスI2）、再度のPI系列の処理が行われる（アクセスI3）。PI系列、PO系列、再度のPI系列のエラー訂正処理が終了したら、図23に示すように、エラー訂正処理用のメモリ113のデータが読み出され（アクセスJ）、デスクランブル及びエラー検出回路115でデスクランブルされる。そして、このデータは、リングバッファメモリ112に転送される（アクセスh）。出力のリクエストに応じて、図24に示すように、エラー訂正処理の終了したデータがリングバッファメモリ112から読み出され、インターフェース117を介して、外部のホストコンピュータ116に転送される（アクセスi）。

【0014】このように、リングバッファ112とは別に、エラー訂正用のメモリ113を設けると、エラー訂正処理の際にリングバッファメモリ112をアクセスす

る必要はなくなる。しかしながら、この例では、リングバッファメモリ112への入力データのアクセス（アクセスh）は、エラー訂正処理が完了してから起こるので、図25に示すようなタイミングとなり、やはり、ディスクの読み出しを2倍速、出力をATAPIインターフェースとするという要求に応えることが困難である。

【0015】そこで、図26～図29に示すように、エラー訂正用に、メモリ123とメモリ124の2つのメモリを用意し、一方のメモリで復調データの書き込みを行う間に、他方メモリでエラー訂正処理を行うようになることが考えられる。図26において、復調回路121からは、光ディスクの再生信号の復調データが送出される。1ECCブロック分の復調データは、先ず、エラー訂正処理用のメモリ123に蓄えられる（アクセスK）。そして、図27に示すように、エラー訂正回路125により、PI系列の処理が行われ（アクセスL1）、PI系列の処理が行われ（アクセスL2）、再度のPI系列の処理が行われる（アクセスL3）。このとき、同時に、復調回路121からの次の1ECCブロック分の復調データが他方のエラー訂正処理用のメモリ124に蓄えられる（アクセスK）。PI系列、PO系列、再度のPI系列のエラー訂正処理が終了したら、図28に示すように、エラー訂正処理用のメモリ123のデータが読み出され（アクセスM）、デスクランブル及びエラー検出回路116でデスクランブルされる。そして、このデータは、リングバッファメモリ122に転送される（アクセスk）。出力のリクエストに応じて、図29に示すように、エラー訂正処理の終了したデータがリングバッファメモリ122から読み出され、インターフェース128を介して、外部のホストコンピュータ27に転送される（アクセス1）。

【0016】このようにすると、復調データの書き込み（アクセスK）とエラー訂正処理（アクセスL1、L2、L3）が同時に起こるので、図30に示すようなタイミングとなり、ディスクの読み出しからエラー訂正処理データの出力までの時間を短縮できる。これにより、ディスクの読み出しを2倍速、出力をATAPIインターフェースとするという要求に応えることができる。

【0017】ところが、このような構成では、エラー訂正処理用のメモリとして、2つのメモリ123及び124Bが必要になり、回路規模が増大するという問題が生じる。

【0018】したがって、この発明の目的は、回路規模を増大させたり、クロックの速度を速めることなく、ディスクの読み出しから復号データの出力までの時間を短縮できるようにしたデータ再生装置及びデータ再生方法を提供することにある。

【0019】

【課題を解決するための手段】この発明に係るデータ再生装置は、記録媒体からデジタルデータを再生する再生

手段と、上記再生手段により再生されたデータにエラー訂正処理を施すエラー訂正手段と、上記エラー訂正手段によりエラー訂正された再生データを可変レートで出力する可変レート制御用のリングバッファメモリと、上記再生手段から供給される再生データを少なくとも1フレーム分蓄積して上記エラー訂正手段とリングバッファメモリに送る第1のバッファメモリと、上記エラー訂正手段によりエラー訂正された再生データを少なくとも1フレーム分蓄積して上記リングバッファメモリに送る第2のバッファメモリと、上記再生手段及びリングバッファメモリの動作を制御する制御手段とを備え、上記第1のバッファメモリに1フレーム分のデータが蓄積されたら、第1のバッファメモリから1フレーム分のデータをエラー訂正手段に送るとともにリングバッファメモリに書き込み、リングバッファメモリに書き込まれたデータに対してエラー訂正手段により第1の系列のエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリに書き込み、上記第1の系列のエラー訂正が終わると、リングバッファメモリから第2の系列のデータを読み出して第2のバッファメモリに書き込むとともに、第2のバッファメモリから第2の系列のデータをエラー訂正手段に送り、リングバッファメモリに書き込まれたデータに対してエラー訂正手段により第2の系列のエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリに書き込み、上記PIエラー訂正が終わると、リングバッファメモリからエラー訂正手段に第1の系列のデータをエラー訂正手段に送るとともに第2のバッファメモリに書き込み、第2のバッファメモリに書き込まれたデータに対してエラー訂正手段によりエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリに書き込み、出力要求に応じた転送速度でリングバッファメモリからエラー訂正済みのデータを出力することを特徴とする。

【0020】この発明に係るデータ再生装置における上記第1及び第2のバッファメモリは、例えば、エラー訂正ブロックの2乃至3フレーム分の記憶容量をそれぞれ有する。

【0021】この発明に係るデータ再生方法は、復調された再生データを第1のバッファメモリに書き込む第1の行程と、第1のバッファメモリに1フレーム分のデータが蓄積されたら、第1のバッファメモリから1フレーム分のデータをエラー訂正手段に送るとともにリングバッファメモリに書き込み、リングバッファメモリに書き込まれたデータに対してエラー訂正手段により第1の系列のエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリに書き込む第2の行程と、上記第1の系列のエラー訂正が終わると、リングバッファメモリから第2の系列のデータを読み出して第2のバッファメモリに書き込むとともに、第2のバッファメモリから第2の系列のデータをエラー訂正手段に送り、リングバッファ

アメモリに書き込まれたデータに対してエラー訂正手段により第2の系列のエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリに書き込む第3の行程と、上記P Iエラー訂正が終わると、リングバッファメモリからエラー訂正手段に第1の系列のデータをエラー訂正手段に送るとともに第2のバッファメモリに書き込む第4の行程と、第2のバッファメモリに書き込まれたデータに対してエラー訂正手段によりエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリに書き込む第5の行程と、出力要求に応じた転送速度でリングバッファメモリからエラー訂正済みのデータを出力する第6の行程とを有することを特徴とする。

【0022】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0023】本発明を適用した光ディスク再生装置の構成を図1のブロック図に示す。この図1に示す光ディスク再生装置において、光ディスク1としては、波長の短いレーザ光を使用するとともに開口数の大きい対物レンズを使用することにより大量のデータ記録を可能とした光ディスク(DVD)が用いられる。

【0024】光ディスク1に記録されたデータの1セクタは、図2に示すように、12行×172バイト)のデータからなる。1セクタの先頭には、物理的なアドレスを示す4バイトのIDと、このIDに2バイトのパリティIEDとが設けられる。そして、6バイトのリザーブデータRSVの後の、2048バイトがメインデータエリアとされる。1セクタの最後には、4バイトのエラー検出コードが付加されている。

【0025】そして、図3に示すように、1セクタのデータ(12行×172バイト)が16セクタ分集められ、(192行×172バイト)に2次元配列されて、ECCブロックが構成される。(192行×172バイト)のデータに対して、行方向に10バイトの内符号のパリティPI((182, 172, 11)リード・ソロモン符号)が付加され、列方向に16列の外符号のパリティPO((208, 192, 17)リード・ソロモン符号)が付加されている。

【0026】エラー訂正符号化されたデータは、16行あるパリティPOが1データセクタに1行ずつ配置されるようにインターリーブされる。そして、所定パターンのシンクが付加され、8-16変調(EFMプラスと呼ばれる)されて、記録される。したがって、ディクスに記録される1セクタのデータの物理的な構成は、図4に示すようになる。8-16変調しているので、1456ビットは、91バイト分に相当する。図4において、SY0, SY1, SY2, …はシンクパターンを示す。

【0027】図1に示すように、光ディスク1と対向するようにピックアップ2が設けられている。ピックアップ

2は、サーボ回路13により、ディスクの半径方向に移動可能とされている。ピックアップ2により、光ディスク1の記録信号が再生される。光ピックアップ2からの再生信号は、復調回路3に供給される。復調回路3で、EFMプラスによる復調処理がなされる。

【0028】復調回路3の出力は、セクタ検出回路4に供給される。セクタ検出回路4で、再生データ中のシンクパターンSY0, SY1, SY2, …を検出することで、セクタが検出される。このセクタ検出回路4の出力がメモリコントローラ10に供給される。

【0029】この光ディスク再生装置は、復調回路3の出力にエラー訂正処理を施すために再生データを一時記憶しておく第1及び第2のバッファメモリ5A, 5Bを備える。第1及び第2のバッファメモリ5A, 5Bは、それぞれ512バイトで2.5フレームの容量を有する。また、光ディスク1は、例えば、2倍速で再生される。そして、可変レート再生を可能とするために、リングバッファメモリ6が設けられる。リングバッファメモリ6は、例えば、FIFOで構成されている。リングバッファメモリ6は、バッファコントローラ10により制御される。

【0030】ここで、この光ディスク再生装置におけるECCブロックタイミングを基にしたデータ処理動作のタイミングチャートを図5に示し、また、ECCフレームタイミングを基にしたP I/P Oエラー訂正動作のタイミングチャートを図6に示し、さらに、ECCフレームタイミングを基にしたP I/P I2エラー訂正動作のタイミングチャートを図7に示す。

【0031】すなわち、この光ディスク再生装置では、図6に示すように、先ず、復調回路3の出力を第1のバッファメモリ5Aに書き込む。そして、第1のバッファメモリ5Aに1フレーム分の復調データが蓄えられると、第1のバッファメモリ5Aからエラー訂正回路7にECC転送(P I1データ転送)を実行すると同時に、リングバッファメモリ6にデータを書き込む。そして、エラー訂正回路7においてP Iエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリ6に書き込む。さらに、P Iエラー訂正が終わると、リングバッファメモリ6からP Oデータを読み出して第2のバッファメモリ5Bに書き込むとともに、第2のバッファメモリ5Bからエラー訂正回路7にECC転送(P Oデータ転送)を実行する。リングバッファメモリ6に16ビット幅のメモリを用い、このリングバッファメモリ6をワードでP O2フレーム分のデータをアクセスし、その内の1フレームのECC転送(P O)を実行すると同時に、残りの1フレームを第2のバッファメモリ5Bに書き込み、1フレームのデータ転送終了後に、第2のバッファメモリ5Bからデータを読み出して、ECC転送(P O)を実行する。これにより、エラー訂正回路7においてP Oエラー訂正を行い、エラー訂正済みのデータをリ

ングバッファメモリ 6 に書き込む。すなわち、P I / P O エラー訂正は、リングバッファメモリ 6 に対してエラーデータをリード (R:READ) / ライト (W:WRITE) して行う。

【0032】また、この光ディスク再生装置では、上記 P I エラー訂正が終わると、図 7 に示すように、リングバッファメモリ 6 からエラー訂正回路 7 に ECC 転送 (P I 2 データ転送) を実行すると同時に、第 2 のバッファメモリ 5 B にデータを書き込む。そして、エラー訂正回路 7 において P I 2 エラー訂正を行い、エラー訂正済みのデータをリングバッファメモリ 6 に書き込む。

【0033】この P I 2 エラー訂正は、第 2 のバッファメモリ 5 B に対してエラーデータをリード (R:READ) / ライト (W:WRITE) して行う。すなわち、P I 2 エラーは、その系列のデータの ECC 転送 (P I 2 データ転送) の次の次のフレームの ECC 転送を行っているところで出力されるので、エラー出力されたら、一時、ECC 転送を停止して、第 2 のバッファメモリ 5 B に対してエラーデータをリード (R:READ) / ライト (W:WRITE) することにより P I 2 エラー訂正を行う。

【0034】そして、P I 2 エラー訂正後、そのフレームのデータに対して、デスクランブル及びエラー検出回路 8 によりデスクランブル処理を施すとともにエラー検出コードを計算してリングバッファメモリ 6 にデータを書き込む。なお、スクランブル処理は、物理アドレスの下位 7 ~ 4 ビットにより選択される値を初期値として生成されるスクランブルデータとメインデータと排他的論理知をとるものである。P I 2 エラー訂正フレームのデータを全てリングバッファメモリ 6 に書き込み終わったら、一時停止させていた ECC 転送を再開する。

【0035】このように、P I 2 エラー訂正まで終了したデータは、リングバッファメモリ 6 に格納されている。ホストコンピュータ 1 4 から出力要求されたデータがデコード終了していたらリングバッファメモリ 6 から ATAPI インターフェース 1 5 を介してホストコンピュータ 1 4 に転送 (ホスト転送) される。

【0036】なお、ここで、リングバッファメモリ 6 の書き込みポインタが読み出しポインタを追いつくと、リングバッファメモリ 6 が溢れてしまう。そこで、図 1 に示したシステムコントローラ 1 1 により、バッファコントローラ 1 0 での読み出しポインタ WP と、書き込みポインタ RP が監視されている。書き込みポインタ WP と読み出しポインタ RP とにより、リングバッファメモリ 6 に現在記憶されているデータ量が算出される。このデータ量が予め設定された所定の記憶量を越えた場合には、リングバッファメモリ 6 がオーバフローする恐れがあると判断され、トラックジャンプ指令がトラックジャンプ制御回路 1 2 に送られる (オーバーフロー処理)。このトラックジャンプ制御回路 1 2 の出力がサーボ回路 1 3 に供給され、必要に応じて、トラックジャンプ制御

が行われる。

【0037】そして、この実施の形態における光ディスク再生装置では、ATAPI インターフェース 1 5 が設けられており、この ATAPI インターフェース 1 5 を介して、リングバッファメモリ 6 からホストコンピュータ 1 6 にデータを転送することができる。また、ビデオデコーダ 1 7 及びオーディオデコーダ 1 8 が設けられており、光ディスク 1 に MPEG 2 で圧縮されたビデオ信号が記録されている場合には、このビデオ信号を再生させることができる。

【0038】すなわち、ATAPI インターフェース 1 5 を介して、ホストコンピュータ 1 6 にデータを転送する場合には、ホストコンピュータ 1 6 からのリクエスト信号により、リングバッファメモリ 6 からデータが読み出される。このデータは、ATAPI インターフェース 1 5 を介して、ホストコンピュータ 1 6 に送られる。

【0039】また、光ディスク 1 に MPEG 2 で圧縮されて記録されているビデオ信号を再生させる場合には、ビデオバッファ 2 0 及びオーディオバッファ 2 1 のバッファ残量に基づいてリクエスト信号が発生され、このリクエスト信号により、リングバッファメモリ 6 からデータが読み出される。リングバッファメモリ 6 の出力は、デマルチブレクサ 1 9 に供給される。デマルチブレクサ 1 9 により、パケットヘッダの情報に従って、ビデオデータとオーディオデータとが分離される。

【0040】ビデオデータは、ビデオバッファ 2 0 を介して、ビデオバッファビデオデコーダ 1 7 に供給される。オーディオデータは、オーディオバッファ 2 1 を介して、オーディオデコーダ 1 8 に供給される。ビデオデコーダ 1 7 で、例えば、MPEG 2 に基づいて、ビデオデータがデコードされる。デコードされたビデオ信号は、出力端子 2 2 から出力される。オーディオデコーダ 1 8 で、オーディオデータがデコードされる。デコードされたオーディオデータは、出力端子 2 3 から出力される。

【0041】このように、この実施の形態における光ディスク再生装置では、次のような処理行程 (1) ~ (6) に従って、再生データの復号処理を行っている。

【0042】(1) 復調された再生データを第 1 のバッファメモリ 5 A に書き込む。

【0043】(2) 第 1 のバッファメモリ 5 A に 1 フレーム分のデータが蓄積されたら、第 1 のバッファメモリ 5 A からエラー訂正回路 7 に ECC 転送 (P I 1 データ転送) を実行すると同時に、リングバッファメモリ 6 にデータを書き込み、エラー訂正回路 7 により P I エラー訂正を行い、エラー訂正済みのデータをリングバッファメモリ 6 に書き込む。

【0044】(3) P I エラー訂正が終わると、リングバッファメモリ 6 から P O データを読み出して第 2 のバッファメモリ 5 B に書き込むとともに、第 2 のバッ

アメモリ 5 B からエラー訂正回路 7 に ECC 転送 (PO データ転送) を実行して、エラー訂正回路 7 により PO エラー訂正を行い、エラー訂正済みのデータをリングバッファメモリ 6 に書き込む。

【0045】(4) PI エラー訂正が終わると、リングバッファメモリ 6 からエラー訂正回路 7 に ECC 転送 (PI 2 データ転送) を実行すると同時に、第 2 のバッファメモリ 5 B にデータを書き込む。

【0046】(5) エラー訂正回路 7 により PI 2 エラー訂正を行い、デスクランブル及びエラー検出回路 8 を介してエラー訂正済みのデータをリングバッファメモリ 6 に書き込む。

【0047】(6) ホストコンピュータ 14 から出力要求に応じたデータをリングバッファメモリ 6 から AT API インターフェース 15 を介してホストコンピュータ 14 に転送 (ホスト転送) する。

【0048】そして、リングバッファメモリ 6 では、図 8 に示すように、ポインタが配置され、図 9～図 11 に示すように、ポインタが移動していく。

【0049】すなわち、リングバッファメモリ 6 のアドレスは、終端アドレスが先頭アドレスに統合しており、終端アドレスまで進むと先頭アドレスに戻るような構成とされている。WP は書き込みポインタで、この書き込みポインタ WP は、書き込みが終了したアドレスを示すものである。EP は ECC 終了ポインタで、この ECC 終了ポインタは、エラー訂正処理が完了したアドレスを示すものである。RP は読み出しポインタで、この読み出しポインタ RP は、読み出しが終了したアドレスを示すものである。

【0050】書き込みポインタ WP のところまで、エラー訂正前のデータが書き込まれている。そして、このエラー訂正前のデータは、エラー訂正回路 7 でエラー訂正処理され、第 2 のバッファメモリ 5 B からリングバッファメモリ 6 に送られ、エラーポインタ EP のところまでが、エラー訂正処理が済み、出力可能なデータである。そして、読み出しポインタ RP のところまで読み出しが終了している。

【0051】図 9 に示すように、先ず、復調データがリングバッファメモリ 6 に書き込まれる。復調データの書き込みが終了すると、書き込みポインタ WP が 1 ECC ブロック分進められ、リングバッファメモリ 6 から第 2 のバッファメモリ 5 B にデータが転送されるとともに、エラー訂正回路 7 にデータが転送され、PI 系列、PO 系列、PI 系列のエラー訂正処理が行われる。エラー訂正処理が終了すると、デスクランブル、エラー検出処理が実行されて、第 2 のバッファメモリ 5 B からリングバッファメモリ 6 にエラー訂正処理されたデータが転送され、そのブロックのデータの転送が終了すると、エラーポインタ EP が 1 ブロック分進められる。

【0052】図 10 に示すように、エラー訂正処理後の

データは、出力可能データとなる。出力要求信号があると、リングバッファメモリ 6 からデータが読み出され、読み出しポインタ RP が進められる。このとき、出力可能データがあるかどうかが、読み出しポインタ RP とエラーポインタ EP から判断される。すなわち、エラーポインタ EP と読み出しポインタ RP との関係が判断される。エラーポインタ EP と読み出しポインタ RP との関係が、EP > RP であれば、出力可能データがあるので、後段にデータが出力され、読み出しポインタ RP が進められる。EP = RP なら、出力可能データがないので、データは出力さない。

【0053】図 11 に示すように、後段の回路からのデータ出力要求がない場合等では、書き込みポインタ WP は進んでいくが、読み出しポインタ RP は止まっているため、書き込みポインタ WP が読み出しポインタ RP に追いつく。書き込みポインタ WP が読み出しポインタ RP に追いつき、EP = RP になったら、書き込み動作が一時停止される。そして、トラックジャンプが必要なときには、トラックジャンプさせるようになっている。

(オーバーフロー制御)。その後、読み出しポインタ RP が進んで、入力可能領域が生じたら、復調データの書き込みが可能になる。

【0054】図 12 は、この光ディスク再生装置に用いられるエラー訂正回路 7 の構成例を示すものである。

【0055】図 12 において、エラー訂正回路 7 は、エラー訂正用集積回路 5 1 と、エラーバッファ 5 2 と、フラグメモリ 5 3 と、エラーカウンタ 5 4 とから構成される。エラー訂正用集積回路 5 1 は、リードソロモン符号のエラー訂正処理を行う集積回路である。エラー訂正用集積回路 5 1 には、RAM インターフェース 5 6 を介して、データ EDT [7:0] と、フラグメモリ 5 3 からのイレージャ訂正のためのフラグ EFLG が入力される。このエラー訂正用集積回路 5 1 は、符号長及びパリティ数等のパラメータがプログラマブルに設定可能とされている。

【0056】エラーバッファ 5 2 は、FIFO で構成されている。エラー訂正用集積回路 5 1 でのエラー訂正処理の結果、エラーパターンは、エラーバッファ 5 2 に蓄えられる。エラーバッファ 5 2 の出力は、EX-OR 回路 5 5 に供給される。この EX-OR 回路 5 5 には、RAM インターフェース 5 6 を介して、第 2 のバッファメモリ 6 からのデータが供給される。エラーパターンの場合には、エラーを修正するために、このエラーの位置のタイミングで、エラーバッファ 5 2 からのデータと、第 2 のバッファメモリ 5 B からのデータとの排他的論理和がとられてエラーが修正され、再び第 2 のバッファメモリ 5 B に戻される。

【0057】フラグメモリ 5 3 は、エラーポジションを示すエラーフラグのポインタを蓄えるものである。そして、イレージャ訂正を行う際に、このエラーフラグが用

いられる。

【0058】エラーカウンタ54は、エラー訂正用集積回路51でのエラー訂正処理の結果、エラーの数をカウントしている。

【0059】図13及び図14は、このエラー訂正回路の動作を示すタイミングチャートである。図13で、ESTTは、符号の先頭を示すコントロール信号、ECD-Eは符号の最後を示すコントロール信号、ECYEは符号サイクルの最後を示すコントロール信号である。図13に示すように、訂正結果は次式のようなサイクルで出力される。

【0060】

スルーブット = $2 \times NCYC + 3 \times PCYC + 13$

なお、NCYCは長い方の符号長を示し、PCYCは長い方のパリティ数を示すものである。

【0061】図14に示すように、エラー訂正用集積回路51は、単一のクロックECKで動作している。図14において、OSTTはコントロール信号ESTTの遅延出力であり、ある符号系列においてコントロール信号ESTTから477クロック(ECKクロック)後に取出される。そして、エラーが検出され、そのエラーが訂正可能であれば、OSTT=1と同時にECD=0となり、その後EOR=1の位置に、エラーパターンECD[7:0]とエラーポジションECA[7:0]が出力される。

【0062】なお、イレージャ訂正モードにおいては、エラーパターンECD[7:0]とエラーポジションECA[7:0]データは必ず出力されるが、その位置のデータが正しい場合には、エラーパターンはECD[7:0] = 00(H)となる。

【0063】エラー訂正結果、エラーパターンECD[7:0]及びエラーポジションECA[7:0]は、エラーバッファ51に書き込まれ、エラー訂正タイミングで、第2のバッファメモリ5Bからエラーのある位置のデータを読み出し、バッファ52から読み出したエラーパターンとの排他的論理和をとった結果、再度第2のバッファメモリ5Bに書き戻される。

【0064】ここで、イレージャ訂正時にエラーパターンECD[7:0] = 00(H)となるデータは、実際には正しいので、訂正動作しても無意味なため、エラーバッファ52への書き込みを行わない。

【0065】以上のように、この実施の形態における光ディスク再生装置では、復調された再生データが第1のバッファメモリ5Aに1フレーム分蓄積されたら、リングバッファメモリ6とエラー訂正回路7に送りPI系列

$$\begin{aligned} \text{シンクフレーム周波数} &= 26.16 \text{MHz} / (32 + 1456) \\ &= 26.16 \text{MHz} / 1488 \\ &= 17.58065 \text{kHz} \end{aligned}$$

となる。

【0070】マスタークロックは40MHzであり、こ

のエラー訂正処理を行い、エラー訂正済みのデータをリングバッファメモリ6に書き込み、PIエラー訂正が終わると、リングバッファメモリ6からPOデータを読み出して第2のバッファメモリ5Bに書き込むとともに、第2のバッファメモリ5Bからエラー訂正回路7にECC転送(POデータ転送)して、エラー訂正回路7によりPOエラー訂正を行い、エラー訂正済みのデータをリングバッファメモリ6に書き込む。また、PIエラー訂正が終わると、リングバッファメモリ6からエラー訂正回路7にECC転送(PI2データ転送)を実行すると同時に、第2のバッファメモリ5Bにデータを書き込み、エラー訂正回路7によりPI2エラー訂正を行い、デスクランブル及びエラー検出回路8を介してエラー訂正済みのデータをリングバッファメモリ6に書き込む。そして、ホストコンピュータ14から出力要求に応じたデータをリングバッファメモリ6からATAPIインターフェース15を介してホストコンピュータ14に必要とされる転送レートで転送(ホスト転送)する。この光ディスク再生装置では、リングバッファメモリ6から第2のバッファメモリ5Bへのデータの書き込みと、エラー訂正回路7でのPI系列のエラー訂正処理が同時に起こるので、データ処理速度が短縮され、例えば、ディスクを2倍速で読み出し、ATAPIインターフェースで16.6MB/sでデータを転送することが可能となる。このことについて、以下に検証する。

【0066】ディスクを1倍速で再生した場合の復調データのレートは、26.16MB/sである。ATAPIインターフェースで要求される転送レートは、16.6MB/sである。

【0067】リングバッファメモリ6は、ワードアクセス(16ビット)とし、nワードページアクセスのサイクル数を $3 + 2 \times n$ サイクルとする。また、第2のバッファメモリ5Bは、バイトアクセス(8ビット)とし、nバイトページアクセスのサイクル数を $3 + 2 \times n$ サイクルとする。さらに、マスタークロックの周波数は、40MHzとする。

【0068】また、図4で示したように、1シンクフレームのビット数は、1456ビットであり、これに32ビットのシンクパターンが付加されている。したがって、1シンクフレームの総ビット数は、 $1456 + 32 = 1488$ ビットである。

【0069】ディスクを1倍速で再生した場合の復調データのレートは26.16MB/sである。したがって、シンクフレーム周波数は、

のマスタークロックの1クロック分を1サイクルとする。シンクフレーム周波数は、17.58065kHz

であり、2シンクフレームがPI系列(182バイト)の1フレームに相当するので、PI系列の1フレームをサイクル数に換算すると、 $2 \times 40 \text{ MHz} / 17.58065 \text{ KHz} = 4550$ サイクルとなる。したがって、1ECCブロックすなわち208フレームでは、 $4550 \text{ サイクル} \times 208 = 946400$ サイクルとなる。

【0071】ここでは、図15に示すように、リングバッファメモリ6を16バイト/19サイクル毎にページアクセスして、ホスト転送のアクセスとそれ以外のアクセスが交互に行われるものとする(ECC以外のアクセス要求がなければ、ECCアクセスを繰り返せるが、その場合はえECCの16サイクル終了を待つことになる)。このときのホスト転送レートは、16.84MB/sなので、16.6MB/sを満足する。

$$26 \times 19 \times 172 / 2 + 15064 (\#) = 57548 \text{ サイクル} \quad (3)$$

となる。また、16バイト訂正であるから、

$$(16 + 16) \times 5 \times 172 = 27520 \text{ サイクル} \quad (4)$$

を必要とする。なお、15064(#+)は、第2のバッファメモリ5BからのECC転送(POデータ転送)サイクルにおけるホスト以外の転送分を考慮したものである。

【0074】また、PI2データの読み出しに要するサ

$$12 \times 19 \times (208 - 19) = 437764 \text{ サイクル} \quad (5)$$

となる。

【0075】EDC終了データの書き込みは、メインデータ192フレームのみを計算し、16バイト/19サイクル毎にページアクセスされるので、 $172 \text{ バイト} / 16 = 10.75$ であるから、1ECCブロック208フレームでは、

$$11 \times 19 \times 192 = 47424 \text{ サイクル} \quad (6)$$

必要となる。

【0076】これら(1)～(6)の合計は、22660サイクルとなる。

【0077】さらにDRAMにはリフレッシュ動作が必要で、約 $16 \mu\text{秒}$ に1度CASビットオアRASリフレッシュサイクルを入れるとすると、1ECCブロック期間では、 $23660 / 16 = 1478.75$ 回となり、1回のリフレッシュサイクルを5サイクルとすると、 $1479 \times 5 = 7395$ サイクルとなる。

【0078】したがって、全てのホスト転送を確保するときのデコード処理速度の限界は、 $(946400 + 7395) \times (19 / 38) / (226796 + 7395) = 2.02$ となり、2倍速が可能となる。

【0079】なお、上述の例では、エラー訂正符号として、PI系列とPO系列とからなる積符号のものを用いているが、他の構成のエラー訂正符号を用いるようにしても良い。また、この例では、PI系列の復号をし、PO系列の復号をした後、更に、PI系列の復号を行っているか、PI系列の復号と、PO系列の復号とがエラー

【0072】そして、復調データの書き込み及びPIデータの読み出し、訂正に要するサイクル数は、PI系列の182バイトが16バイト/19サイクル毎にページアクセスされると、 $182 / 16 = 11.3$ であるから、1ECCブロック208フレームでは、

$$12 \times 19 \times 208 = 47424 \text{ サイクル} \quad (1)$$

となる。また、5バイト訂正であるから、

$$(5 + 5) \times 5 \times 208 = 1040 \text{ サイクル} \quad (2)$$

を必要とする。

【0073】さらに、POデータの読み出し、訂正に要するサイクル数は、PO系列のフレームの208バイトが16バイト/19サイクル毎にページアクセスされると、 $208 / 16 = 26$ であるから、

$$26 \times 19 \times 172 / 2 + 15064 (\#) = 57548 \text{ サイクル} \quad (3)$$

となる。また、16バイト訂正であるから、

$$(16 + 16) \times 5 \times 172 = 27520 \text{ サイクル} \quad (4)$$

を必要とする。なお、15064(#+)は、第2のバッファメモリ5BからのECC転送(POデータ転送)サイクルにおけるホスト以外の転送分を考慮したものである。

【0074】また、PI2データの読み出しに要するサ

$$12 \times 19 \times (208 - 19) = 437764 \text{ サイクル} \quad (5)$$

訂正処理を完了するようにしても良い。

【0080】

【発明の効果】この発明によれば、復調された再生データを第1のバッファメモリに書き込み、この第1のバッファメモリに1フレーム分のデータが蓄積されると、1フレーム分のPIデータをエラー訂正回路に送るとともにリングバッファメモリに書き込み、エラー訂正回路によりPI系列のエラー訂正処理を行い、エラー訂正処理済みのデータをリングバッファメモリに書き込む。さらに、PIエラー訂正が終わるとリングバッファメモリからPOデータをエラー訂正回路に送るとともに第2のバッファメモリに書き込み、エラー訂正回路によりPO系列のエラー訂正処理を行い、エラー訂正処理済みのデータをリングバッファメモリに書き込む。さらに、PIエラー訂正が終わるとリングバッファメモリからエラー訂正回路にPI2データを送るとともに第2のバッファメモリにデータを書き込み、この第2のバッファメモリに蓄えられたデータによりエラー訂正回路でPI2エラー訂正処理を行い、PI2エラー訂正処理を完了したされたら、第2のバッファメモリからリングバッファメモリにデータを転送し、必要とされる転送レートでリングバッファメモリからデータを出力する。これにより、リングバッファメモリから第2のバッファメモリへのデータの書き込みと、エラー訂正回路でのPI系列のエラー訂正処理が同時に起こるので、データ処理速度が短縮され、例えば、ディスクを2倍速で読み出し、ATAPIインターフェースで16.6MB/sでデータを転送するこ

とが可能となる。

【図面の簡単な説明】

【図1】この発明が適用された光ディスク再生装置の構成を示すブロック図である。

【図2】DVDのデータフォーマットを示す略線図である。

【図3】DVDのデータフォーマットを示す略線図である。

【図4】DVDのデータフォーマットを示す略線図である。

【図5】上記光ディスク再生装置におけるECCブロックタイミングを基にしたデータ処理動作のタイミングチャートである。

【図6】上記光ディスク再生装置におけるECCフレームタイミングを基にしたPI/POエラー訂正処理動作のタイミングチャートである。

【図7】上記光ディスク再生装置におけるECCフレームタイミングを基にしたPI/PI2エラー訂正処理動作のタイミングチャートである。

【図8】上記光ディスク再生装置におけるリングバッファの説明に用いる略線図である。

【図9】上記リングバッファの説明に用いる略線図である。

【図10】上記リングバッファの説明に用いる略線図である。

【図11】上記リングバッファの説明に用いる略線図である。

【図12】上記光ディスク再生装置におけるエラー訂正回路の構成例を示すブロック図である。

【図13】上記エラー訂正回路の説明に用いるタイミングチャートである。

【図14】上記エラー訂正回路の説明に用いるタイミングチャートである。

【図15】上記光ディスク再生装置の動作説明に用いるタイミングチャートである。

【図16】リングバッファメモリの基本構成の説明に用いる略線図である。

【図17】従来のディスク再生装置の一例の説明に用いるブロック図である。

【図18】従来のディスク再生装置の一例の説明に用いるブロック図である。

【図19】従来のディスク再生装置の一例の説明に用いるブロック図である。

【図20】従来のディスク再生装置の一例の説明に用いるタイミングチャートである。

【図21】従来のディスク再生装置の他の例の説明に用いるブロック図である。

【図22】従来のディスク再生装置の他の例の説明に用いるブロック図である。

【図23】従来のディスク再生装置の他の例の説明に用いるブロック図である。

【図24】従来のディスク再生装置の他の例の説明に用いるブロック図である。

【図25】従来のディスク再生装置の他の例の説明に用いるタイミングチャートである。

【図26】従来のディスク再生装置の更に他の例の説明に用いるブロック図である。

【図27】従来のディスク再生装置の更に他の例の説明に用いるブロック図である。

【図28】従来のディスク再生装置の更に他の例の説明に用いるブロック図である。

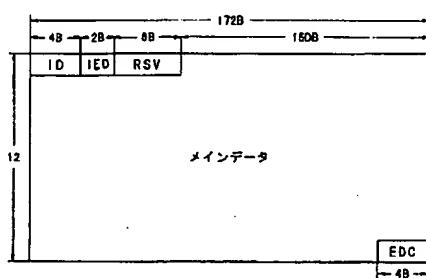
【図29】従来のディスク再生装置の更に他の例の説明に用いるブロック図である。

【図30】従来のディスク再生装置の更に他の例の説明に用いるタイミングチャートである。

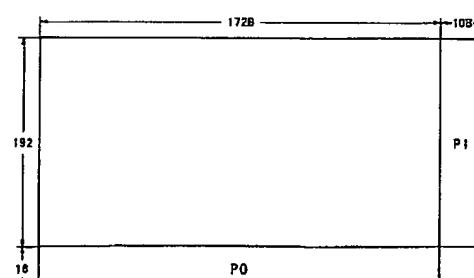
【符号の説明】

1 光ディスク、5A 第1のバッファメモリ、5B 第2のバッファメモリ、6 リングバッファメモリ、7 エラー訂正回路

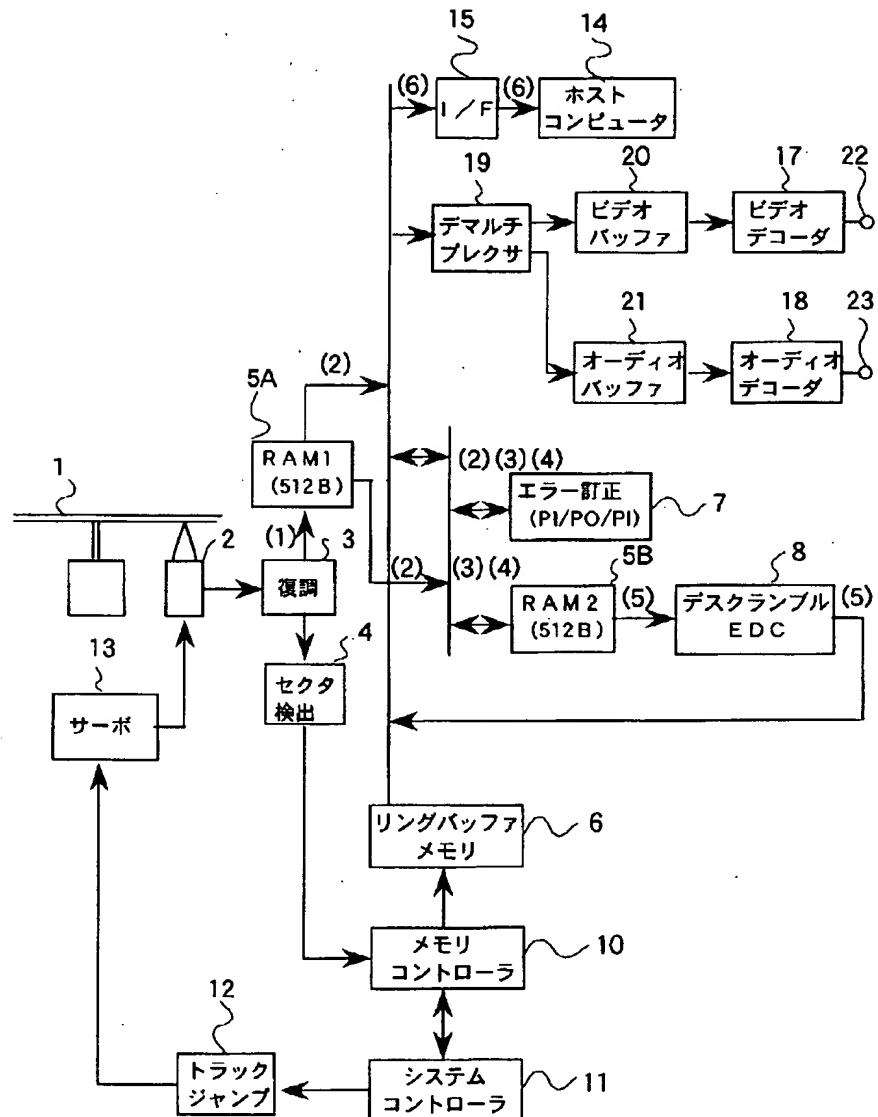
【図2】



【図3】



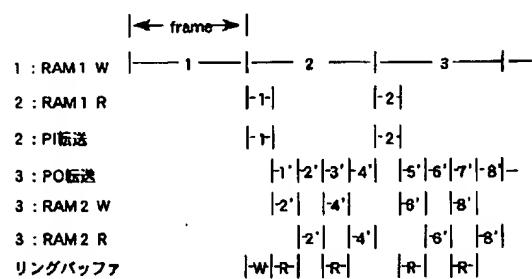
[図 1]



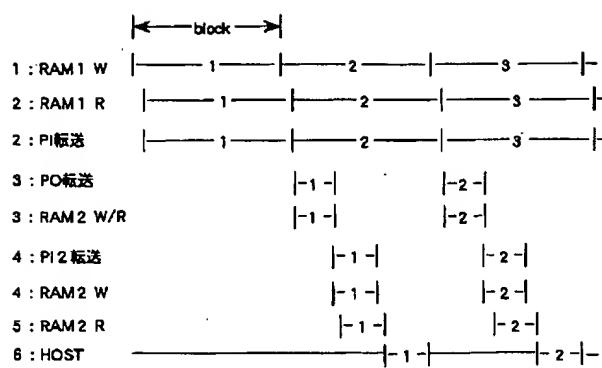
〔图4〕

【図6】

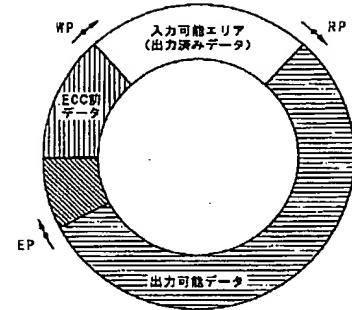
32° ⁺	145° ⁺	32° ⁺	145° ⁺
SY0	ID LED	SY5	P1
SY1		SY5	P1
SY2		SY5	P1
SY3		SY5	P1
SY4		SY5	P1
SY1		SY6	P1
SY2		SY6	P1
SY3		SY6	P1
SY4		SY6	P1
SY1		SY7	P1
SY2		SY7	P1
SY3		SY7	P1
SY4	P0	SY7	P1



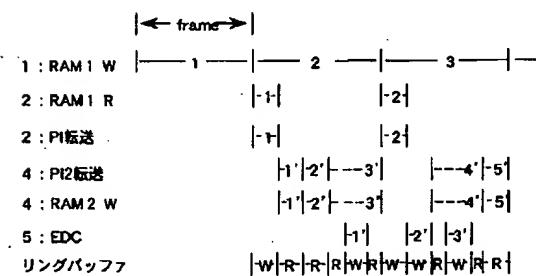
【図5】



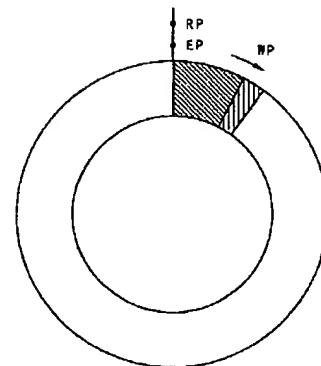
【図8】



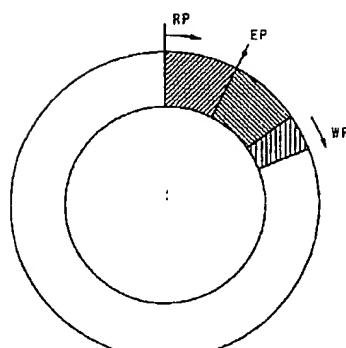
【図7】



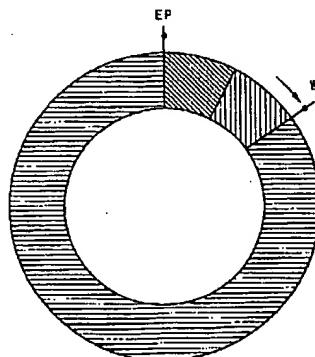
【図9】



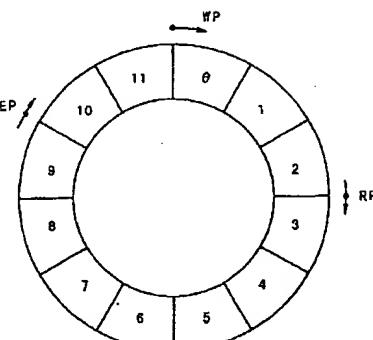
【図10】



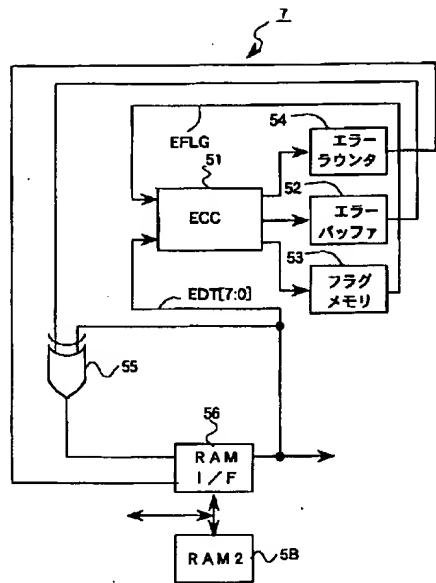
【図11】



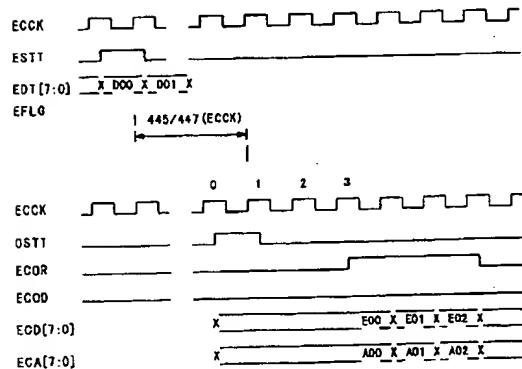
【図16】



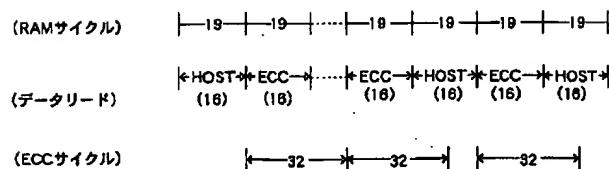
【図12】



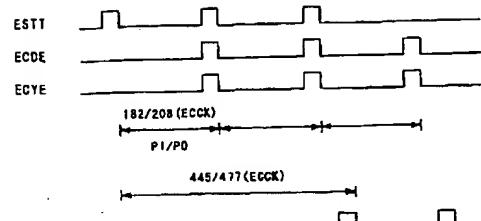
【図14】



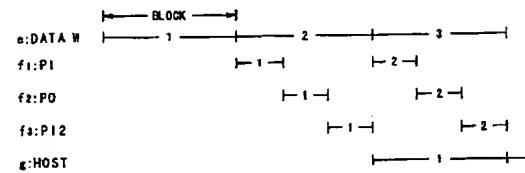
【図15】



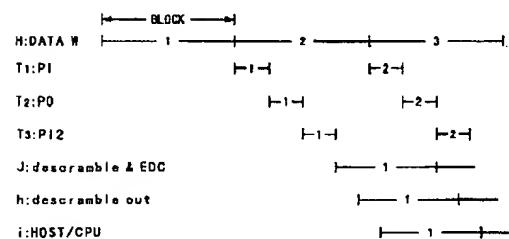
【図13】



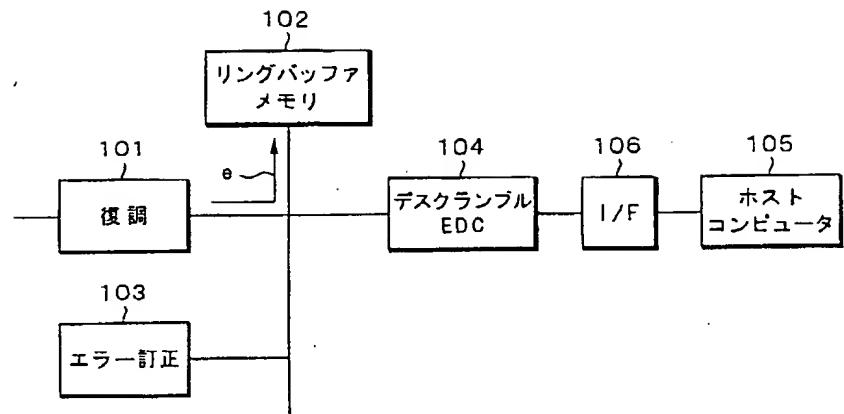
【図20】



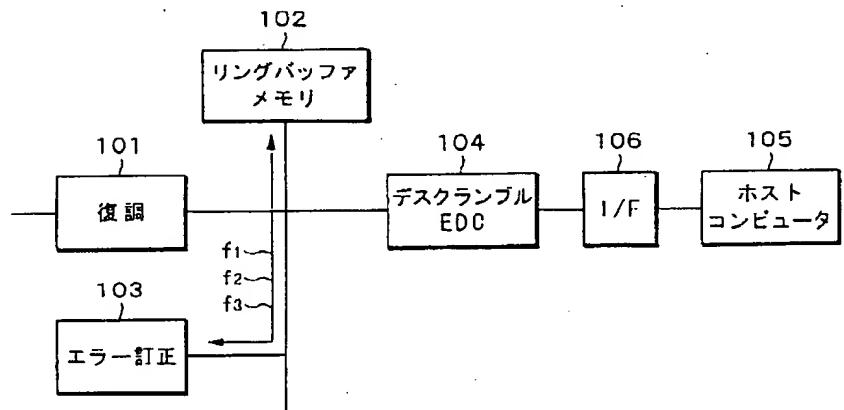
【図25】



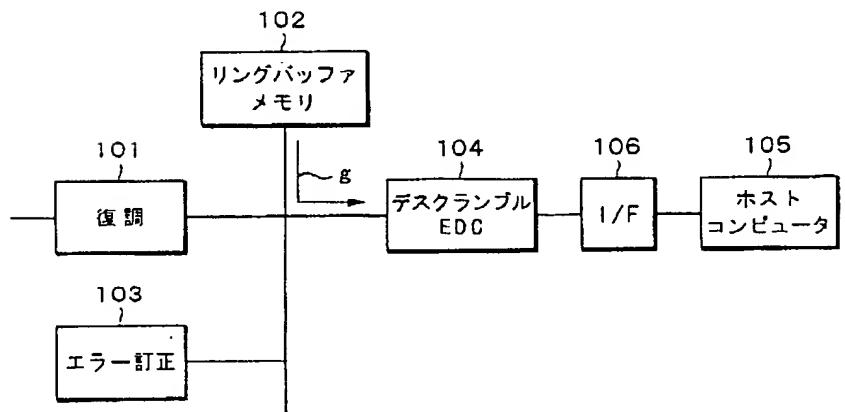
【図17】



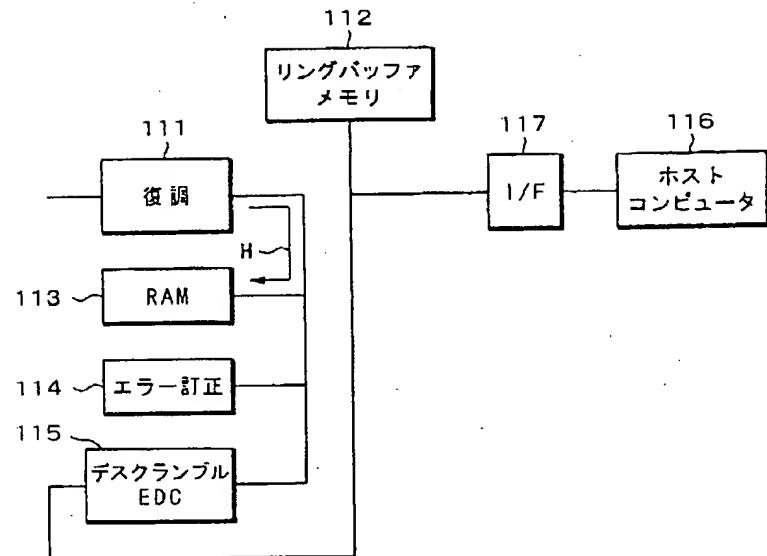
【図18】



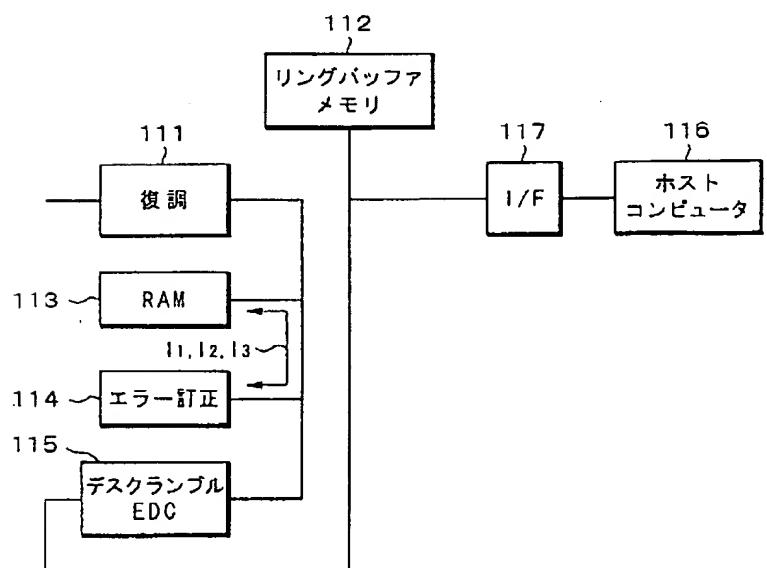
【図19】



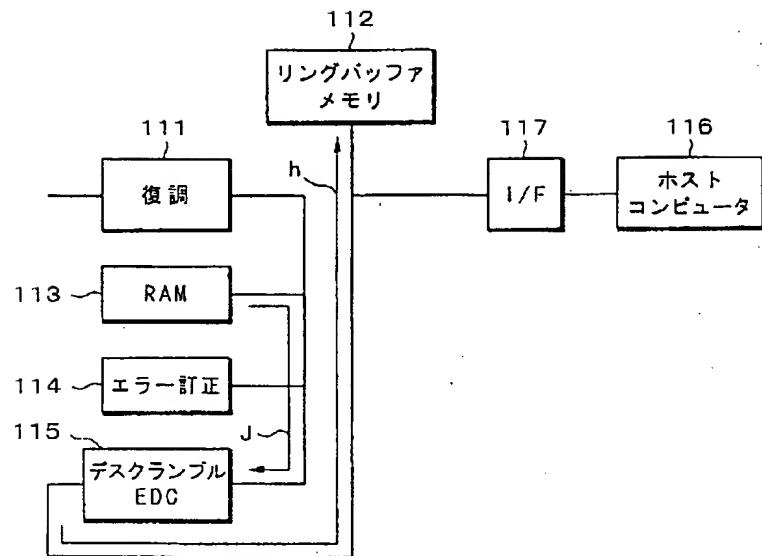
【図21】



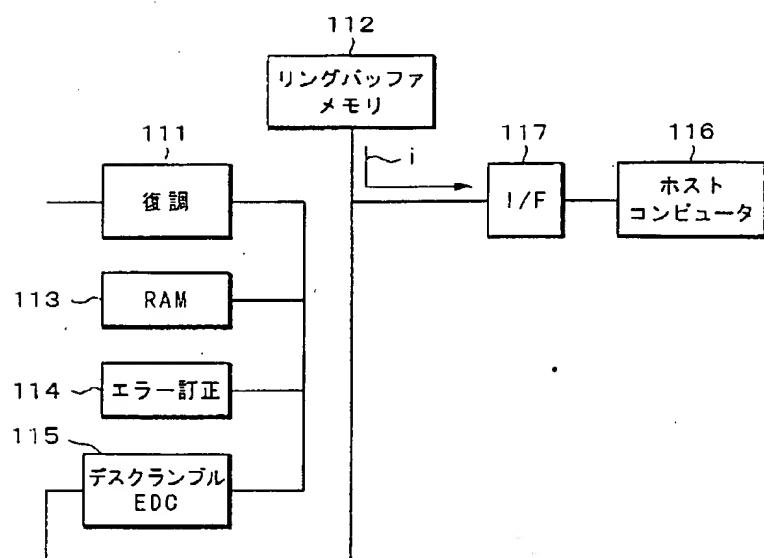
【図22】



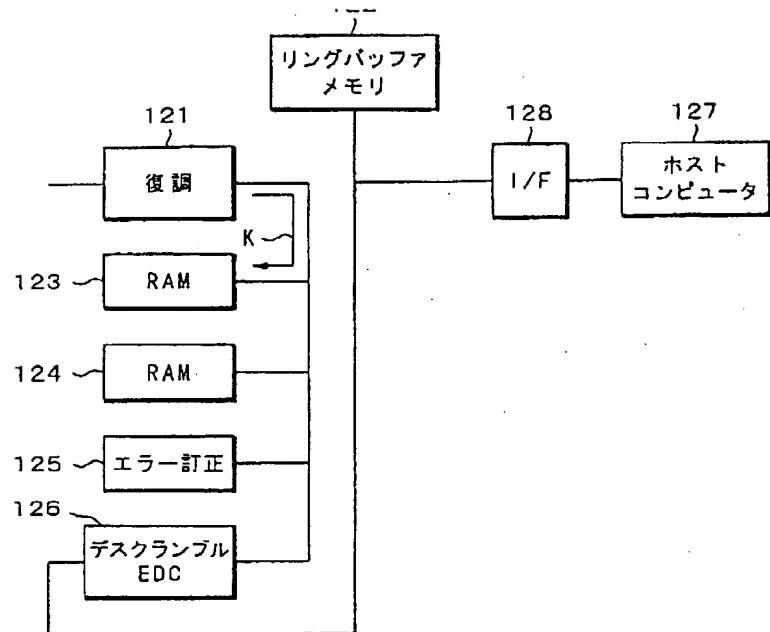
【図23】



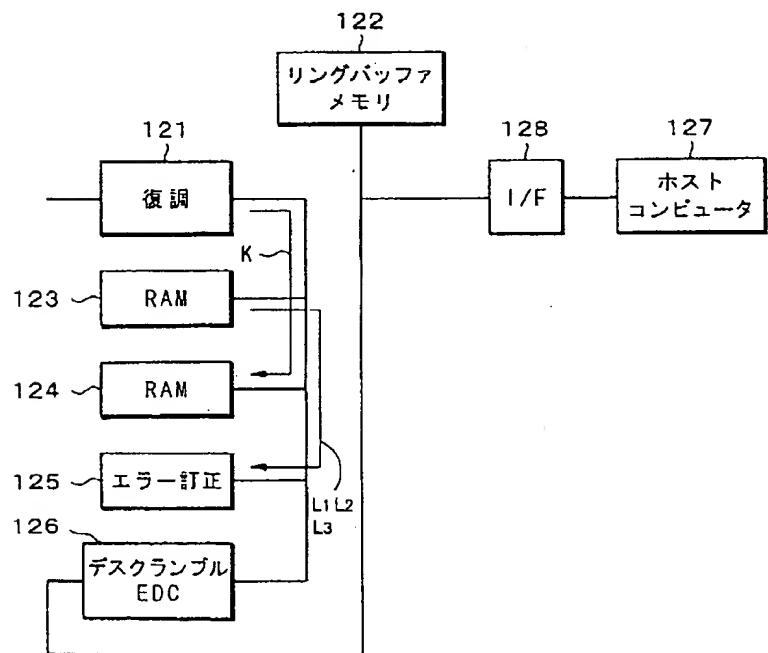
【図24】



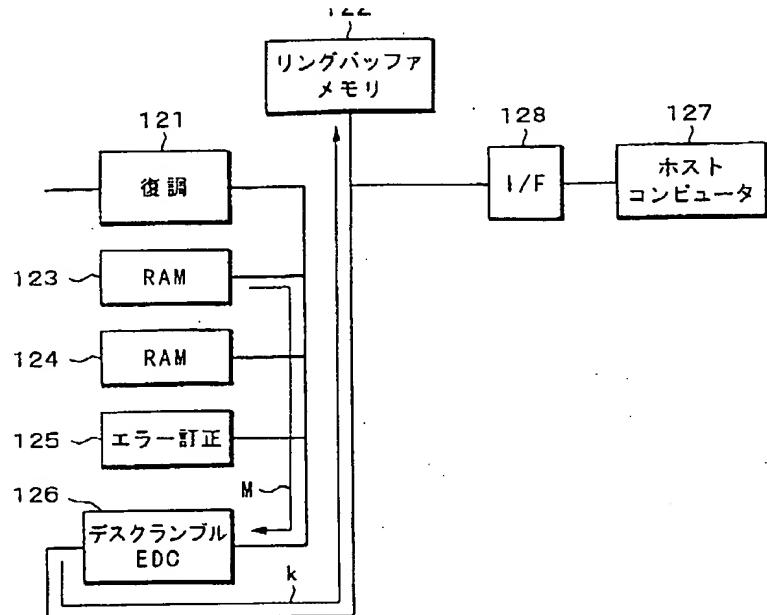
【図26】



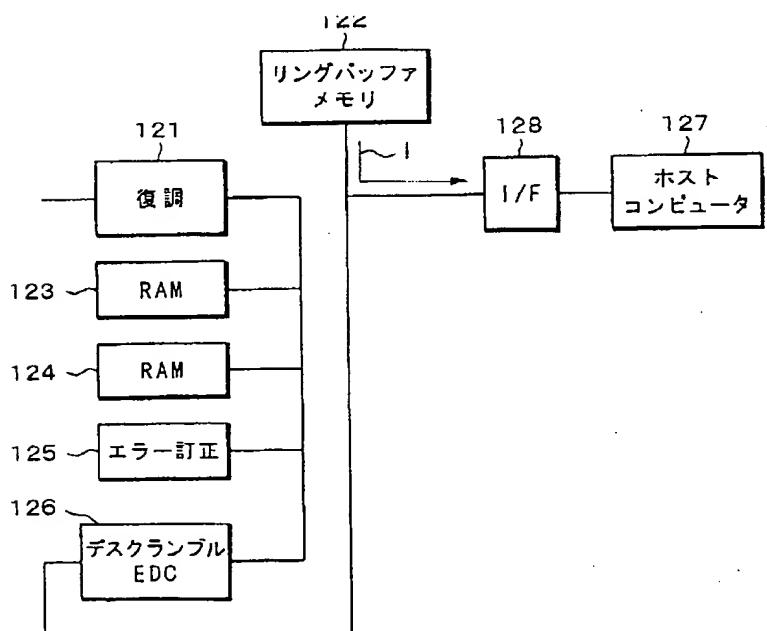
【図27】



【図28】



【図29】



【図30】

